

1/5/2 (Item 1 from file: 347)
DIALOG(R) File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

01267225 **Image available**
CMOS TRANSISTOR OSCILLATING CIRCUIT PROVIDED WITH AGC CIRCUIT

PUB. NO.: 58-204625 A]
PUBLISHED: November 29, 1983 (19831129)
INVENTOR(s): HASHIMOTO MASAMI
APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
, JP (Japan)
APPL. NO.: 57-087118 [JP 8287118]
FILED: May 21, 1982 (19820521)
INTL CLASS: [3] H03L-005/00; H03B-005/04
JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)
JOURNAL: Section: E, Section No. 230, Vol. 08, No. 49, Pg. 152, March
06, 1984 (19840306)

ABSTRACT

PURPOSE: To save useless energy consumption, by detecting an oscillating amplitude representing an index of an oscillating state to control the gain of an amplifier circuit.

CONSTITUTION: A C-MOS transistor circuit 20 amplifies a signal inputted from a gate and gives an output to a drain. When the output amplitude of the circuit 20 is changed, a DC voltage formed at an oscillating amplitude detecting circuit 22 is changed and a bias voltage supplied from a bias circuit 21 to the circuit 20 is changed accordingly. The gain of the circuit 20 is controlled with this bias voltage change, allowing to keep the output amplitude of the circuit 20 constant at all times. Since this output amplitude is kept constant, the energy more than required in the oscillation circuit is not consumed and the stability of operation of the circuit of the next stage is attained.

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭58—204625

⑤ Int. Cl.³
H 03 L 5/00
H 03 B 5/04

識別記号

庁内整理番号
6964—5 J
7928—5 J

④ 公開 昭和58年(1983)11月29日

発明の数 1
審査請求 未請求

(全 7 頁)

⑥ AGC回路付きCMOSトランジスタ発振回路

諏訪市大和3丁目3番5号株式会社諏訪精工舎内

① 特 願 昭57—87118

⑦ 出 願 人 株式会社諏訪精工舎

② 出 願 昭57(1982)5月21日

東京都中央区銀座4丁目3番4号

③ 発 明 者 橋本正美

⑧ 代 理 人 弁理士 最上務

明 細 書

発明の名称

AGC回路付きCMOSトランジスタ発振回路

特許請求の範囲

CMOS発振回路を構成する増幅回路としてのPチャネルMOSトランジスタとNチャネルMOSトランジスタと、前記2つのトランジスタにそれぞれ適切なバイアス電圧を供給するバイアス回路と、発振振幅を検出する回路を少なくとも持ち、該発振振幅検出回路の出力を前記バイアス回路に帰還させ、発振振幅を自動調整する回路構成となっていることを特徴とするAGC回路付きCMOSトランジスタ発振回路。

発明の詳細な説明

本発明はCMOSトランジスタ発振回路の低消費電流化に関する。

従来、低消費電流のCMOSトランジスタ発振回路は一般に定電圧回路もしくは定電流回路の採用によって試みられてきた。しかしながら発振回路は発振周波数の調整などの為に静電容量の値などの発振回路定数を変えて用いることが一般的である。したがって発振回路自体が最低限必要とするエネルギーはそれに伴い変化するわけであるが、従来の定電圧回路及び定電流回路方式においては発振回路定数に変化が起きても、それに応じて自動的に最適条件が設定されるという働きはない。よって定電圧回路方式もしくは定電流回路方式においては使用される状況の最悪条件に対して必要な定電圧値もしくは定電流値が設定される。したがって使用される状況が比較的良好な条件の時は必要以上にエネルギーを消費することになる。

本発明は発振状態の指標となる発振振幅を検出し、増幅回路のゲインを制御することにより、無駄なエネルギー消費を節約し、より高度なCMOSトランジスタ発振回路の低消費電流化を図るものである。

以下に本発明を詳しく説明する。まず発振回路に簡単にふれておく。第1図は発振回路の基本構成を示すものである。よく知られているように発振回路は増幅回路10と帰還回路11により構成される。増幅回路10は一般に入力した信号の振幅を増幅するとともに位相をほぼ180°変える。そして帰還回路11で位相をほぼ180°変えて位相がもとに戻り、それを繰り返す。この1回もどって来た時と、前とが、同一の振幅、同一の位相であったとき安定し、定常的な発振状態となる。以上のように発振回路は構成されている。第2図は帰還回路11の一例である。第2図において12は抵抗、13, 14はコンデンサ、15は水晶振動子である。

さて本発明の特徴は増幅回路10にある。本発明においては増幅回路を第3図のブロック図のように構成する。第3図において20はCMOSトランジスタ回路でゲートから入力した信号を増幅してドレイン側に出力する。21はバイアス回路でCMOSトランジスタ回路20が適切な領域で

動作するようなバイアス電圧を供給する。22は発振振幅検出回路でCMOSトランジスタ回路20の出力振幅の大きさによって異なる直流電圧を作り出し、バイアス回路21に与えている。この構成においてCMOSトランジスタ回路20の出力振幅の大きさが変化すると発振振幅検出回路22で作り出される直流電圧が変化し、それに応じてバイアス回路21からCMOSトランジスタ回路20に供給するバイアス電圧が変化する。このバイアス電圧の変化によってCMOSトランジスタ回路20のゲインを制御することになるので常にCMOSトランジスタ回路20の出力振幅は一定に保たれる。この出力振幅が一定に保たれるということは発振回路で必要以上のエネルギーを消費しないということと共に、次段の回路、例えば分周回路に信号を送る場合、動作上の安定性を確保することを意味している。

さて第3図ではブロック図で説明したが、次に各回路をより詳しく説明する。

まず第4図でバイアス回路の実施例から説明す

る。第4図において30, 32はPチャネルMOSトランジスタであり、31, 33はNチャネルMOSトランジスタである。PチャネルMOSトランジスタ30のドレインとNチャネルMOSトランジスタ31のドレインは接続されている。NチャネルMOSトランジスタ31のゲートとドレインは接続されていて、またこの電位を V_{ON} とし信号ライン35から電位が取り出されている。PチャネルMOSトランジスタ30のゲートには V_B という電位が与えられているとする。またPチャネルMOSトランジスタ32のドレインとNチャネルMOSトランジスタ33のドレインは接続されている。PチャネルMOSトランジスタ32のゲートとドレインは接続されていて、またこの電位を V_{OP} とし、信号ライン34から電位が取り出されている。NチャネルMOSトランジスタ33のゲート電位には V_{ON} の電位が与えられている。またPチャネルMOSトランジスタ30, 32のソースは $+V_{DD}$ に接続されている。NチャネルMOSトランジスタ31, 33のソ

ースは $-V_{SS}$ (0電位)に接続されている。またPチャネルMOSトランジスタ30, 32のスレッシュホールド電圧を V_{TF} 、NチャネルMOSトランジスタ31, 33のスレッシュホールド電圧を V_{TN} とする。またMOSトランジスタ30, 31, 32, 33の β をそれぞれ β_{P1} , β_{N1} , β_{P2} , β_{N2} とする。そして電源電圧を $+V_{DD}$ とし、 $-V_{SS}$ を0電位にとる。このときMOSトランジスタ30, 31に流れる電流が等しいことから

$$\frac{1}{2}\beta_{P1}(V_{DD}-V_B-V_{TF})^2 = \frac{1}{2}\beta_{N1}(V_{ON}-V_{TN})^2$$

が成りたち

$$V_{ON} = V_{TN} + MN$$

が得られる。ただし

$$MN = \sqrt{\frac{\beta_{P1}}{\beta_{N1}}}(V_{DD}-V_B-V_{TF}) \quad \dots\dots(101)$$

とする。またMOSトランジスタ32, 33に流れる電流が等しいことから

$$\frac{1}{2} \beta_{P_1} (V_{DD} - V_{OP} - V_{TP})^2 = \frac{1}{2} \beta_{N_1} (V_{ON} - V_{TN})^2$$

が成りたち

$$V_{OP} = V_{DD} - V_{TP} - M_P$$

が得られる。ただし

$$M_P = \sqrt{\frac{\beta_{N_1}}{\beta_{P_1}}} \cdot M_N \quad \dots\dots (102)$$

とする。ここで

$$\beta_{P_1} = \beta_{N_1}$$

とすれば

$$M = M_P = M_N \quad \dots\dots (103)$$

となり、このとき

$$V_{ON} = V_{TN} + M$$

$$V_{OP} = V_{DD} - V_{TP} - M$$

となる。また

ランジスタ40のゲートにバイアス電圧として加わっている。同様に端子47には第4図のバイアス回路で得られた端子35の電位 V_{ON} が与えられ抵抗43を経てNチャネルMOSトランジスタ41のゲートにバイアス電圧として加わっている。PチャネルMOSトランジスタ40のソースは $+V_{DD}$ に、NチャネルMOSトランジスタ41のソースは $-V_{SS}$ に接続されている。またPチャネルMOSトランジスタ40のスレッシュホールド電圧を V_{TP} 、NチャネルMOSトランジスタ41のスレッシュホールド電圧を V_{TN} とする。またMOSトランジスタ40、41の β を共に β_0 とする。49は負荷としてのコンデンサでその静電容量を0とする。コンデンサ49は実際には第2図のコンデンサ13などと兼用されることが多い。さてこのとき入力端子48に振幅 A 、周波数 ω の

$$A \sin \omega \quad \dots\dots (104)$$

という信号が入力したとして出力端子50に得られる周波数 ω の成分の振幅の比により増幅回路と

$$\beta_{P_1} \ll \beta_{N_1}$$

とすれば

$$V_{TN} \gg M > 0$$

$$V_{DD} - V_{TP} \gg M > 0$$

となる。以上のような関係にある V_{ON} 、 V_{OP} がバイアス電圧として第4図の35、34にそれぞれ得られる。次に第3図における0M0ストラジスタ回路の実施例の構成を第5図で詳しく説明する。

第5図において40はPチャネルMOSトランジスタ、41はNチャネルMOSトランジスタである。PチャネルMOSトランジスタ40のドレインとNチャネルMOSトランジスタ41のドレインは接続され、出力50となっている。交流分の入力信号は48の入力端子よりコンデンサ44、45を経て、それぞれPチャネルMOSトランジスタ40、NチャネルMOSトランジスタ41のゲートにつながっている。端子46には第4図のバイアス回路で得られた端子34の電位 V_{OP} が与えられ、抵抗42を経てPチャネルMOSト

してのゲイン G を定義すると(101)、(103)で定義される M 、及び(104)式の A に対し

$M \geq A$ の時

$$G = \frac{2\beta_0 M}{\omega C} \quad \dots\dots (105)$$

$M < A$ の時

$$G = \frac{\beta_0 M}{\omega C} \left\{ \left(1 + \frac{2}{\pi} \arcsin \frac{M}{A} \right) + \frac{2}{3\pi AM} \cdot (2A^2 + 7M^2) \cdot \sqrt{1 - \left(\frac{M}{A} \right)^2} \right\} \quad \dots\dots (106)$$

となる。ここでゲイン G は(105)式及び(106)式のいずれの場合であってもバイアス電圧の中に含まれる M の値が大きい方がゲインが大きくなる。さて次に増幅回路自体の消費電流の殆どを占める短電流について考える。この短電流とは第5図においてPチャネルMOSトランジスタ40とNチャネルMOSトランジスタ41の間のみを流れる電流成分であって、 I_{ss} の記号を使

えば

$M \geq A$ の場合

$$I_B = \frac{\beta}{4} (2M^2 + A^2 - \frac{8AM}{\pi}) \quad \dots\dots (107)$$

$M < A$ の場合

$$I_B = \frac{\beta}{4} \left(\frac{2}{\pi} (2M^2 + A^2) \arcsin \frac{M}{A} - \frac{8AM}{\pi} \left\{ 1 - \frac{3}{4} \left(1 - \left(\frac{M}{A} \right)^2 \right) \right\} \right) \quad \dots\dots (108)$$

となる。したがって短絡電流 I_B は (107) 式及び (108) 式のいずれの場合であってもバイアス電圧の中に含まれる M の値が大きい方が増加する。つまり増幅回路のゲインを大きくとれば増幅回路自体の消費電流は大きくなり、また増幅回路自体の消費電流を小さくおさえようとすれば増幅回路のゲインも低下してしまうという関係にあることが分る。したがってなるべく少い消費電流で動作させるには増幅回路のゲインを必要最低限に制御することが望ましい。

の関係式が成りたち、これを解くと

$$V_{B0} = (V_{DD} - V_{TF}) + \frac{1}{\beta_B R} - \sqrt{\frac{2(V_{DD} - V_{TF})}{\beta_B R} + \left(\frac{1}{\beta_B R}\right)^2} \quad \dots\dots (109)$$

となる。また入力端子 57 より振幅 A 、周波数 ω の正弦波が入力した場合の出力端子 56 の直流電位を V_{BA} とすれば P チャネル MOS トランジスタ 51 に流れる電流は

$$\frac{1}{2} \beta_B (V_{DD} - V_{BA} - A \sin \omega t - V_{TF})^2$$

であるので直流成分のみに着目すれば

$$\frac{1}{2} \beta_B \left\{ (V_{DD} - V_{BA} - V_{TF})^2 + \frac{A^2}{2} \right\} = \frac{V_{BA}}{R}$$

の関係式が成りたち、これを解くと

$$V_{BA} = (V_{DD} - V_{TF}) + \frac{1}{\beta_B R} - \sqrt{\frac{2(V_{DD} - V_{TF})}{\beta_B R} + \left(\frac{1}{\beta_B R}\right)^2 + \frac{A^2}{2}}$$

次に第 6 図で発振振幅検出回路の実施例を説明する。第 6 図において 51 は P チャネル MOS トランジスタでスレッショールド電圧を V_{TF} とし、 β を β_B とする。52 は高い抵抗値を持った抵抗で P チャネル MOS トランジスタ 51 のゲート及びドレインの間に接続されている。53 は抵抗でその抵抗値を R とする。また該抵抗 53 の一端は $-V_{BB}$ (0 電位) に、他端を P チャネル MOS トランジスタ 51 のドレインに接続されており、かつ出力端子 56 となっている。54 はコンデンサで高抵抗 53 と並列に接続されていて交流分を平滑にする役目をしている。55 はコンデンサで端子 57 から入ってくる信号の直流分をカットして P チャネル MOS トランジスタ 51 のゲートに伝える役目をしている。さて第 6 図の回路において入力端子 57 からの入力がない場合をまず考える。このときの出力端子 56 の電位を V_{B0} とすれば

$$\frac{1}{2} \beta_B (V_{DD} - V_{B0} - V_{TF})^2 = \frac{V_{B0}}{R} \quad \dots\dots (110)$$

となる。ここで (109) 式と (110) 式を比較すると正弦波が入って来た時の出力端子 56 の直流電圧 V_{BA} は無信号の時の直流電位 V_{B0} よりも上昇することが分る。したがって入力端子 57 に発振回路の信号を入力させれば、その発振振幅に関係した直流電位が出力端子 56 より得られることが分る。

さて第 6 図において出力端子 56 を第 2 図の P チャネルトランジスタ 30 のゲートに V_B として接続すると、発振振幅が必要以上に大きいとき発振振幅検出回路の出力端子 56 の直流電位は上昇する。このとき第 2 図のバイアス回路において、 V_B が上昇するからバイアス電圧 V_{OP} 、 V_{ON} に含まれている M の値は (101) 式と (103) 式により小さくなり、ゲインは (105) 式及び (106) 式により減少し適切な値に保たれる。また逆に発振振幅が小さくなり過ぎると増幅回路のゲインが上昇する。以上により β_P 、 β_N 、 β_B 、 R 等の定数を適切に設計すれば常に最適

なゲインに増幅回路が自動調整されることになり、増幅回路自体の消費電流が必要最低限の値に保たれ、発振回路の低消費電流化が図れることになる。なお、バイアス回路21及び発振振幅検出回路22が消費する電流値は発振回路全体が消費する電流に比較して充分小さく設計できる。また第4図、第5図、第6図においてバイアス回路、CMOSトランジスタ回路、発振振幅検出回路の具体的回路をあげたが、これらは単なる一例であるに過ぎない。例えば第4図、第6図のバイアス回路及び発振振幅検出回路においてPチャネルMOSトランジスタとNチャネルMOSトランジスタの関係を逆にした構成の回路も可能である。また第7図は第5図のCMOSトランジスタ回路を変化させた例であって、60はPチャネルMOSトランジスタであって $-V_{DD}$ に接続されている。61はNチャネルMOSトランジスタでゲートには高抵抗62を通してバイアス電圧 V_B が端子66から与えられる、と同時にコンデンサ63を通して交流信号が端子67より与えられる。Pチ

ャネルMOSトランジスタ60のドレインとNチャネルMOSトランジスタ61のドレインは接続されていて出力端子65となっている。またこの出力端子65と $-V_{DD}$ (0電位)との間に静電容量0のコンデンサ64が負荷として接続されている。このときNチャネルMOSトランジスタのスレッシホールド電圧を V_{TN} 、 β を β_N とし入力端子67より周波数 ω の正弦波が入ってきた場合の第7図のCMOSトランジスタ回路のゲイン G は近似的に

$$G \approx \frac{\beta_N (V_B - V_{TN})}{\omega C}$$

となる。したがってバイアス電圧 V_B によって増幅回路のゲインを変えることが出来るので同様の方法が使える。また第8図は本発明のAOO回路付き発振回路として全体の構成を示した一実施例であって、第4図のバイアス回路、第5図のCMOSトランジスタ回路、第6図の発振振幅検出回路、及び第2図の帰還回路を組み合わせた例である。なお第8図の各素子に当てた番号は第2、4、

5、6図の中の各番号の各素子に対応している。

また本発明は従来の定電圧回路方式による低消費電流化とは独立の方式であるので、本発明の方式と定電圧回路方式の併用は可能である。

図面の簡単な説明

第1図は一般的な発振回路の構成を示すブロック図、第2図は帰還回路の一例、第3図は本発明の中の増幅回路の構成を示すブロック図、第4図は本発明の中で用いるバイアス回路の一例、第5図は本発明の中で用いるCMOSトランジスタ回路の一例、第6図は本発明の中で用いる発振振幅検出回路の一例、第7図は本発明の中で用いるCMOSトランジスタ回路の第2例、第8図は本発明のAOO回路付きCMOSトランジスタ発振回路の全体の構成を示す一例である。

- 10 …… 増幅回路
- 11 …… 帰還回路
- 12 …… 抵抗
- 13, 14 …… コンデンサ

- 15 …… 水晶振動子
- 20 …… CMOSトランジスタ回路
- 21 …… バイアス回路
- 22 …… 発振振幅検出回路
- 30, 32 …… PチャネルMOSトランジスタ
- 31, 33 …… NチャネルMOSトランジスタ
- 34, 35 …… 端子
- 40 …… PチャネルMOSトランジスタ
- 41 …… NチャネルMOSトランジスタ
- 42, 43 …… 高抵抗
- 44, 45, 49 …… コンデンサ
- 46, 47, 48, 50 …… 端子
- 51 …… PチャネルMOSトランジスタ
- 52, 53 …… 抵抗
- 54, 55 …… コンデンサ
- 56, 57 …… 端子
- 60 …… PチャネルMOSトランジスタ
- 61 …… NチャネルMOSトランジスタ
- 62 …… 高抵抗
- 63, 64 …… コンデンサ

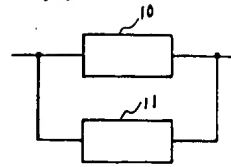
65, 66, 67 ... 端子

以上

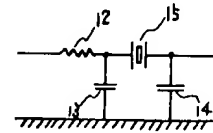
出願人 株式会社 藤井精工舎

代理人 弁理士 越上 務

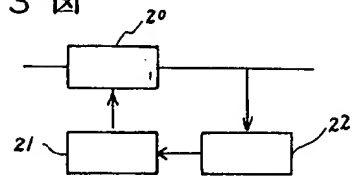
第 1 図



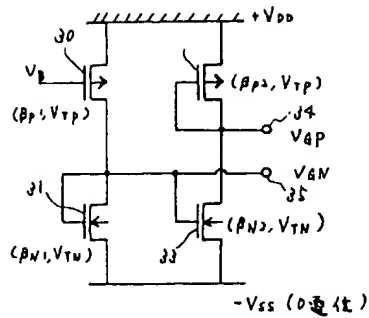
第 2 図



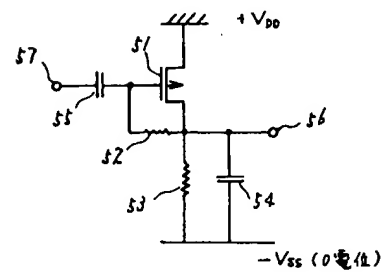
第 3 図



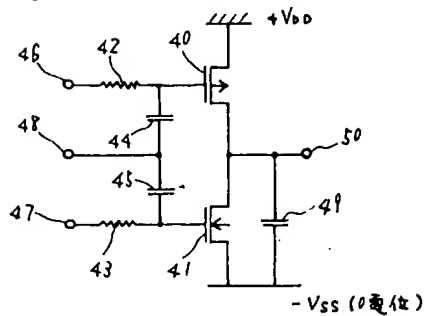
第 4 図



第 6 図



第 5 図



第 7 図

